Stage de DEA informatique 98-99

Titre : **Partitionnement pour la synthèse d'architectures dédiées**

Equipe d'accueil : COSI

Correspondant : Maryse Auffray (D156, tel 7186)

Encadreur : Tanguy Risset (`risset@irisa,fr`, bureau D174, tél : 7460)

Mot-clés : Partitionnement, synthèse d'architectures, parallélisation automatique.

Sujet :

Le langage Alpha permet de décrire des algorithmes réguliers (algorithmes matriciels, traitement du signal, ...) sous la forme d'équations récurrentes. Alpha a été proposé pour faciliter la synthèse d'architectures parallèles intégrées pour ces algorithmes afin de les exécuter en temps raisonnable (temps réel pour le traitement du signal). Les transformations du langage Alpha sont implémentées dans l'environnement MMAlpha.

Un des problèmes qui n'a pas été résolu de manière satisfaisante est le problème d'ordonnancer les calculs sous certaines contraintes (contraintes de ressources notamment). La résolution de ce problème est très importante parce qu'elle gouverne toute la suite du processus de synthèse. Certaines stratégies sont connues, leur expression dans le langage Alpha n'est pas triviale et leur automatisation se révèle un problème délicat.

Le travail du stage consistera, dans un premier temps, en l'étude des quelque techniques de partitionnement, d'ordonnancement et d'allocation sous contraintes de ressources. Puis on choisira une (ou un type de) partitionnement pour intégrer dans l'outil MMAlpha. On s'intéressera particulièrement à la génération du contrôle pour un programme partitionné, sachant que la cible pourra être une architecture dédiée (ASIC, FPGA,...) ou une machine parallèle.

Ce stage donnera lieu à de nombreuses perspectives de recherches, on pourra s'intéresser à l'ensemble du processus de synthèse et à la génération pratique de circuits VLSI ou la programmation de circuits FPGA. On pourra aussi se concentrer sur des aspects plus théoriques d'optimisation pour le parallélisme, et mesurer l'impact des différentes stratégies d'ordonnancement et partitionnement sur les architectures synthétisées.

Stage de DEA informatique 98-99

Titre : **Le pavage optimale**

Equipe d'accueil : COSI

Correspondant : Maryse Auffray (D156, tel 7186)

Encadreur : Sanjay Rajopadhye (`rajopadhye@irisa,fr`, D169, tél : 7208)

Mot-clés : Parallélisation automatique, localité de références, « iteration space tiling », hiérarchie de mémoire
Sujet :

Le pavage (le « iteration space tiling »), aussi connu comme « loop blocking » est une méthode d'adaptation de la granularité d'un programme parallèle. Il à été proposé pour dans le contexte de la parallélisation automatique des boucles pour mieux exploiter le parallélisme. Aujourdh'ui, il trouve une application même pour les processeurs séquentiels, pour une bonne exploitation de l'hiérarchie mémoire (caches aux plusieurs niveaux).

Plusieurs études on été menées sur une modélisation du pavage qui proposent des fonctions analytiques pour le temps d'exécution d'un programme qui a subit la transformation de pavage. Ensuite, des méthodes de choisir les paramètres de la tuile d'une manière optimale ont été propsées.

Ces méthodes étaient basées sur des modèles de communication *send-receive* pour des machines à mémoire distribuée. Le sujet de stage sera d'étudier l'adaptation et l'extension de ce modèle pour des machines à hiérarchie de mémoire, ce qui nécessite (i) une modélisation à plusieurs niveaux, et (ii) une modélisation analytique des caches avec deux paramètres : la latence et la bande passante. Selon l'aptitude de l'étudiant(e), plusieurs aspects expérimentaux peuvent être abordés : expérimentation sur des machines parallèles (SGI Origin, IBM SP2, NEC Cenju), et/ou intégration de ces méthodes dans le compilateur de NEC Cenju).

Stage de DEA informatique 98-99

Titre : Modélisation et synthèse de processeurs spécialisés programmables

Équipe d'accueil : COSI

Correspondant : Maryse Auffray (D156, tel 7186)

Encadreur : François Charot (D171, tel 7215)

Sujet :

La conception d'un système matériel fait de plus en plus souvent appel à des "cœurs" de processeurs qui sont optimisés et spécialisés pour tenir compte des contraintes d'utilisation du système. La compilation pour de tels processeurs appelés ASIP (*Application Specific Instruction Set Processors*), consiste à produire, pour une application particulière, à la fois l'architecture et le compilateur permettant d'atteindre les performances visées par cette application. Cette technique est l'une des clés de la réalisation de systèmes dédiés aux télécommunications.

Les compilateurs doivent être *paramétrés par l'architecture visée*, parce qu'il est hors de question de redévelopper les outils pour chaque changement architectural. La modélisation de l'architecture du processeur cible est la base des techniques de compilation reciblable. Le formalisme doit permettre une modélisation rapide de l'architecture, qui soit lisible, compréhensible par un concepteur de processeur et exploitable par les différentes outils.

Le travail du stage concerne le lien entre la modélisation de l'architecture de l'ASIP et les outils de synthèse d'architecture car la définition de l'architecture de l'ASIP ne peut être complètement déconnectée de la phase de conception. Il s'agira d'étudier le passage entre le formalisme de modélisation de processeurs en cours de définition dans le projet et le langage de description de matériel VHDL utilisé pour la synthèse.

Stage de DEA informatique 98-99

Titre : Comparaison de documents

Équipe d'accueil : IMADOC et COSI

Correspondant : Maryse Auffray (tel 7186, IRISA, D156)

Encadreurs : Jacques André (tel 7350, C101) Dominique Lavenier (tel 7217, D166)

Sujet :

La comparaison de documents vise à mettre en évidences des portions de textes qui présentent certaines similitudes au niveau de plusieurs mots, de phrases complètes, ou de paragraphes entiers. Les algorithmes utilisés dans l'équipe IMADOC se basent sur des techniques de programmation dynamique dont l'entité de base est le mot. Suivant les motivations du candidat, le stage pourra se concentrer plus particulièrement sur l'un ou l'autre des objetives suivants :

- d'une part, il consiste à ne plus considérer le mot comme entité de base, mais le caractère. De cette façon, les fautes, les évolutions de l'orthographe, les caractères de ponctuation, etc, peuvent être pris en compte plus simplement. En revanche, ceci implique de revoir la structuration des documents (sources et résultat de la comparaison). Cette première partie du stage évaluera les apports de cette approche par rapport aux travaux déjà réalisés dans l'équipe IMADOC.
- d'autre part, il consiste à porter l'algorithme de comparaison sur une machine spécialisée, basée sur une architecture parallèle (systolique et reconfigurable). Ce second volet du stage permettra de comparer des documents conséquents très rapidement : quelques minutes au lieu de quelques heures.

Références

[1] Jacques ANDRÉ, Annie MORIN and Hélène RICHY, « Comparison of Literary texts Using Biological Sequence Comparisons and Structured Documents Capabilities », *Proceedings of the International Conference on Computational Linguistics, Speech and Document Processing*, Indian Statistical Institute, Calcutta, India, 1998, p. D-1–D-7.

[2] Dominique Lavenier, « SAMBA: Systolic Accelerator for Molecular Biological Applications », *Publication interne Irisa*, no 988, 1996.